

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年5月12日 (12.05.2005)

PCT

(10) 国際公開番号  
WO 2005/043750 A1

- (51) 国際特許分類<sup>7</sup>: H03H 7/32, H01F 17/00  
 (21) 国際出願番号: PCT/JP2004/016271  
 (22) 国際出願日: 2004年11月2日 (02.11.2004)  
 (25) 国際出願の言語: 日本語  
 (26) 国際公開の言語: 日本語  
 (30) 優先権データ:  
 特願2003-374190 2003年11月4日 (04.11.2003) JP  
 (71) 出願人 (米国を除く全ての指定国について): エルメック株式会社 (ELMEC CORPORATION) [JP/JP];  
 〒2130011 神奈川県川崎市高津区溝口二丁目17番35号 Kanagawa (JP).  
 (72) 発明者; および  
 (75) 発明者/出願人 (米国についてのみ): 亀谷雅明

(KAMEYA, Masaaki) [JP/JP]; 〒2130011 神奈川県川崎市高津区溝口二丁目17番35号 エルメック株式会社内 Kanagawa (JP).

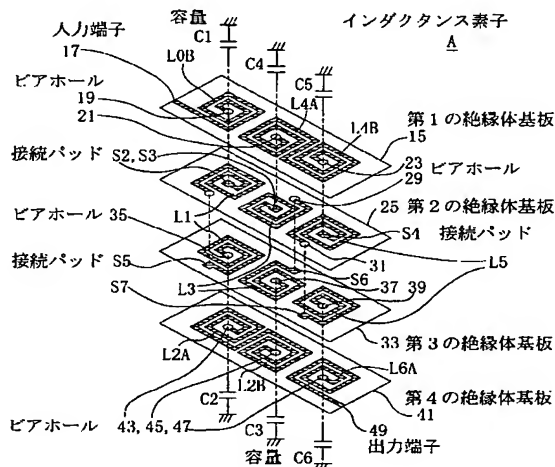
(74) 代理人: 斎藤美晴 (SAITO, Yoshiharu); 〒1700005 東京都豊島区南大塚三丁目2番14号 漆澤ビル3階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: ELECTROMAGNETIC DELAY LINE INDUCTANCE ELEMENT

(54) 発明の名称: 電磁遅延線のインダクタンス素子



- 17 INPUT TERMINAL  
 19, 21 VIA HOLE  
 S2, S3 CONNECTION PAD  
 35 VIA HOLE  
 S5, S7 CONNECTION PAD  
 43, 45, 47 VIA HOLE  
 C1, C4, C5 CAPACITOR  
 A INDUCTANCE ELEMENT  
 15 FIRST INSULATING SUBSTRATE  
 23, 29 VIA HOLE  
 25 SECOND INSULATING SUBSTRATE  
 S4 CONNECTION PAD  
 33 THIRD INSULATING SUBSTRATE  
 41 FOURTH INSULATING SUBSTRATE  
 49 OUTPUT TERMINAL  
 C2, C3, C6 CAPACITOR

(57) Abstract: [PROBLEMS] To provide a concentrated constant type electromagnetic delay line inductance element which can easily be made as an ultra-small chip shape and obtain a preferable connection state at each interval. [MEANS FOR SOLVING PROBLEMS] Spiral-shaped inductors L0B, L4A, L4B are formed on a first insulating substrate (15) and the inductor L4A is connected in series to the inductor L4B. Spiral-shaped inductors L1, L3, L5 are formed on a second and a third insulating substrate (22, 33). Spiral-shaped inductors L2A, L2B, L6A are formed on a fourth insulating substrate (41) and the inductor L2A is connected in series to the inductor L2B. The first to the fourth insulating substrates (15-41) are stacked on one another and the inductors L0B to L6A are connected in the longitudinal direction. The inductors L2A and L2B and the inductors L4A and L4B are divided into two portions in the horizontal direction so as to form one interval and positively connected to the preceding and the following interval not divided in the horizontal direction.

(57) 要約: 【課題】 集中定数型電磁遅延線のインダクタンス素子において、チップ状の超小型化が容易で、各区間を好ましい結合状態にできるようにする。【解決手段】 第1の絶縁基板15にスパイラル状のインダクタL0B、L4A、L4Bを形成し、インダクタL4AとL4Bを直列接続する。第2、第3の絶縁基板22、33にスパイラル状のインダクタL1、L3、L5を形成する。第4の絶縁基板41にスパイラル状のインダクタL2A、L2B、L6Aを形成し、インダクタL2A、L2Bを直列接続する。第1～第4の絶縁基板15～41を重ね、インダクタL0B～L6Aを縦続接続する。インダクタL2AとL2B、L4AとL4Bを平面的に2分割して1区間を形成し、平面的に分割されない前後の区間と正結合させる。

WO 2005/043750 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- USのための発明者である旨の申立て (規則4.17(iv))

添付公開書類:

- 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。